



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11311967 A**

(43) Date of publication of application: 09 . 11 . 99

(51) Int. Cl

**G09G 3/20**

**G09G 3/20**

**G09G 3/36**

H04N 5/66

(21) Application number: **10119640**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(22) Date of filing: 28 . 04 . 98

(72) Inventor: KOIKE JUNJI  
ONISHI YASUO

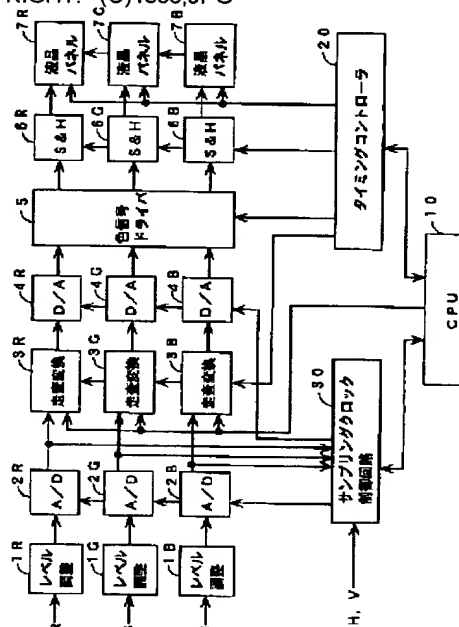
(54) **DISPLAY DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a display device capable of displaying a proper video with respect to plural kinds of video signals in which the number of horizontal effective dots is known and the numbers of horizontal total dots are different.

**SOLUTION:** This device is provided with a clock generating circuit 40 whose the frequency is variable for generating a sampling clock based on the horizontal synchronizing signal of an input video signal, A/D converters 2R, 2G, 2B sampling the input video signal based on a sampling frequency generated from the clock generating circuit, calculation means 51, 52, 53 for calculating the number of the sampling clocks outputted from the horizontal video beginning position till the horizontal video ending position of video data to be outputted from the A/D converters, a comparator means 54 comparing the number of the sampling clocks calculated by the calculation circuits with a previously set value and a control circuit 55 controlling the frequency of the sampling clock to be outputted from the circuit 40 based the compared result of the means 54.

COPYRIGHT: (C)1999.JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-311967

(43) 公開日 平成11年(1999)11月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 9 G 3/20

6 2 3

G 0 9 G 3/20

6 2 3 M

6 1 2

6 1 2 K

3/36

3/36

H 0 4 N 5/66

H 0 4 N 5/66

B

審査請求 有 請求項の数 5 O L (全 13 頁)

(21) 出願番号

特願平10-119640

(22) 出願日

平成10年(1998)4月28日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 小池 淳司

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 大西 泰生

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

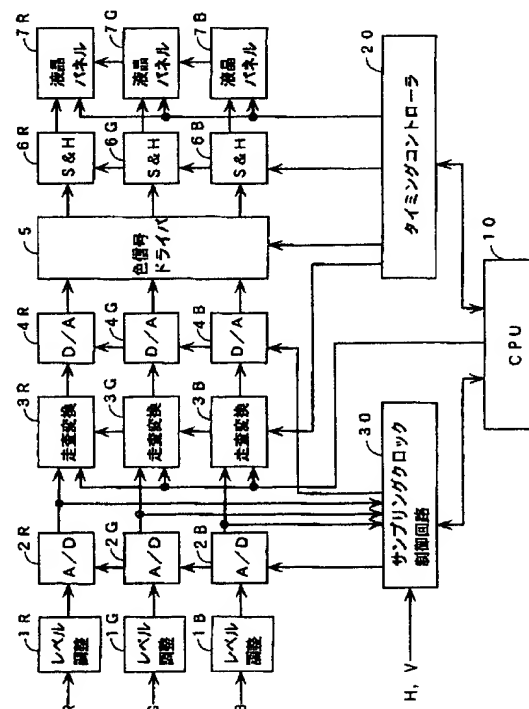
(74) 代理人 弁理士 香山 秀幸

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 この発明は、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切な映像を表示できるようになる表示装置を提供することを目的とする。

【解決手段】 入力映像信号の水平同期信号に基づいてサンプリングクロックを発生させるための周波数可変のクロック発生回路40、入力映像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングするA/D変換器2R、2G、2B、A/D変換器から出力される映像データの水平映像開始位置から水平映像終了位置までに出力されたサンプリングクロック数を算出するための算出手段51、52、53、算出回路によって算出されたサンプリングクロック数と、予め設定された値とを比較する比較手段54、および比較手段の比較結果に基づいて、クロック発生回路から出力されるサンプリングクロックの周波数を制御する制御手段55を備えている。



## 【特許請求の範囲】

【請求項 1】 入力映像信号の水平同期信号に基づいてサンプリングクロックを発生させるための周波数可変のクロック発生回路、

入力映像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングする A/D 変換器、

A/D 変換器から出力される映像データの水平映像開始位置から水平映像終了位置までに出力されたサンプリングクロック数を算出するための算出手段、

算出手段によって算出されたサンプリングクロック数と、予め設定された値とを比較する比較手段、および比較手段の比較結果に基づいて、クロック発生回路から出力されるサンプリングクロックの周波数を制御する制御手段、

を備えている表示装置。

【請求項 2】 クロック発生回路は、サンプリングクロックを出力する VCO、VCO から出力されたサンプリングクロックを分周する分周回路、分周回路の出力と入力映像信号の水平同期信号とが入力し、両入力信号の位相差に応じた検波信号を出力する位相検波手段、および位相検波手段から出力される検波信号を積分して VCO に出力するフィルタ手段を備えており、分周回路の分周値が制御手段によって制御される請求項 1 に記載の表示装置。

【請求項 3】 算出手段は、A/D 変換器の出力データに基づいて、水平映像開始位置と水平映像終了位置とをそれぞれ検出する水平映像開始終了検出回路、入力映像信号の水平同期信号の出力タイミングから水平映像開始終了検出回路によって検出された水平映像開始位置までに出力された第 1 のサンプリングクロック数と、入力映像信号の水平同期信号の出力タイミングから水平映像開始終了検出回路によって検出された水平映像終了位置までに出力された第 2 のサンプリングクロック数とを算出するカウンタ、および第 2 のサンプリングクロック数から第 1 のサンプリングクロック数を減算する減算器を備えている請求項 1 および 2 のいずれかに記載の表示装置。

【請求項 4】 比較手段は、算出手段によって算出されたサンプリングクロック数と、予め設定された入力映像信号の水平有効ドット数および水平有効ドット数より 1 だけ多い数とを比較し、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数または水平有効ドット数より 1 だけ多い数のいずれかと一致するか、いずれとも一致しないかに応じた一致・不一致判別信号を出力するとともに、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数より小さいかあるいは水平有効ドット数より 1 だけ多い数より大きいかに応じた大小判別信号を出力するものである請求項 1、2 および 3 のいずれかに

記載の表示装置。

【請求項 5】 制御手段は、入力映像信号の垂直同期信号がクロックとして、比較手段からの一致・不一致判別信号がイネーブル信号として、比較手段からの大小判別信号をアップダウン制御信号としてそれぞれ入力されかつ予め所定のデフォルト値がプリセットされるアップダウンカウンタからなり、アップダウンカウンタは、一致・不一致判別信号が一致を表している場合にはカウント動作を禁止し、大小判別信号が小さいことを表している場合には入力映像信号の垂直同期信号をアップカウントし、大小判別信号が大きいことを表している場合には入力映像信号の垂直同期信号をダウンカウントし、アップダウンカウンタのカウント値に基づいてクロック発生回路から出力されるサンプリングクロックの周波数を制御する請求項 4 に記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、表示装置に関し、特に、入力映像信号の水平総ドット数に係わらず映像を適切に表示することができる液晶表示装置に関する。

## 【0002】

【従来の技術】液晶表示装置では、1 水平走査期間において、入力映像信号が有するドットデータの 1 ドットと、液晶パネルの 1 画素との同期が取られて画像が表示される。また、入力映像信号が 1 垂直走査期間内に有する任意数のラインデータにおける 1 本の水平走査線のラインデータが、液晶パネルにおける垂直方向の 1 ラインに対応して表示される。このラインデータは、ドットデータの集合体である。

【0003】近年においては、多種多様な仕様のコンピュータが製造されている。各種コンピュータから出力される XGA 映像信号であっても、たとえば、図 3 (a) に示す映像信号と図 3 (b) に示す映像信号とでは、水平総ドット数が異なる。ただし、XGA 映像信号においては水平有効ドット数は共通している。つまり、XGA 映像信号の水平有効ドット数は、1024 ドットである。

【0004】入力された XGA 映像信号の水平有効期間の 1024 ドットをサンプリングするためのサンプリングクロックは、入力された XGA 映像信号の水平同期信号に基づいて生成される。したがって、入力された XGA 映像信号の水平総ドット数に応じて、サンプリングクロックの生成方法を変える必要がある。このため、サンプリングクロックを生成するためには、入力された XGA 映像信号の水平総ドット数を認識する必要がある。

【0005】従来は、XGA 映像信号の各種類毎に水平総ドット数が記憶されたテーブルを用意しておき、コンピュータから入力される XGA 映像信号の特性から、XGA 映像信号の種類を判別し、判別された種類に対する

水平総ドット数をテーブルの中から選ぶことにより、入力されたXGA映像信号の水平総ドット数を認識している。しかしながら、この方法では、新しい仕様のコンピュータによって生成されたXGA映像信号に対して、対応することができない。

#### 【0006】

【発明が解決しようとする課題】この発明は、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切なサンプリングクロックを生成でき、この結果、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切な映像を表示できるようになる表示装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】この発明による表示装置は、入力映像信号の水平同期信号に基づいてサンプリングクロックを発生させるための周波数可変のクロック発生回路、入力映像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングするA/D変換器、A/D変換器から出力される映像データの水平映像開始位置から水平映像終了位置までに出力されたサンプリングクロック数を算出するための算出手段、算出手段によって算出されたサンプリングクロック数と、予め設定された値とを比較する比較手段、および比較手段の比較結果に基づいて、クロック発生回路から出力されるサンプリングクロックの周波数を制御する制御手段を備えていることを特徴とする。

【0008】クロック発生回路としては、たとえば、サンプリングクロックを出力するVCO、VCOから出力されたサンプリングクロックを分周する分周回路、分周回路の出力と入力映像信号の水平同期信号とが入力し、両入力信号の位相差に応じた検波信号を出力する位相検波手段、および位相検波手段から出力される検波信号を積分してVCOに出力するフィルタ手段を備えたものが用いられる。この場合には、分周回路の分周値が制御手段によって制御される。

【0009】算出手段としては、たとえば、A/D変換器の出力データに基づいて、水平映像開始位置と水平映像終了位置とをそれぞれ検出する水平映像開始終了検出回路、入力映像信号の水平同期信号の出力タイミングから水平映像開始終了検出回路によって検出された水平映像開始位置までに出力された第1のサンプリングクロック数と、入力映像信号の水平同期信号の出力タイミングから水平映像開始終了検出回路によって検出された水平映像終了位置までに出力された第2のサンプリングクロック数とを算出するカウンタおよび第2のサンプリングクロック数から第1のサンプリングクロック数を減算する減算器を備えているものが用いられる。

【0010】比較手段としては、たとえば、算出手段によって算出されたサンプリングクロック数と、予め設定

された入力映像信号の水平有効ドット数および水平有効ドット数より1だけ多い数とを比較し、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数または水平有効ドット数より1だけ多い数のいずれかと一致するか、いずれとも一致しないかに応じた一致・不一致判別信号を出力するとともに、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数より小さいかあるいは水平有効ドット数より1だけ多い数より大きいかに応じた大小判別信号を出力するものが用いられる。

【0011】制御手段としては、たとえば、入力映像信号の垂直同期信号がクロックとして、比較手段からの一致・不一致判別信号がイネーブル信号として、比較手段からの大小判別信号をアップダウン制御信号としてそれぞれ入力されかつ予め所定のデフォルト値がプリセットされるアップダウンカウンタが用いられる。このアップダウンカウンタは、一致・不一致判別信号が一致を表している場合にはカウント動作を禁止し、大小判別信号が小さいことを表している場合には入力映像信号の垂直同期信号をアップカウントし、大小判別信号が大きいことを表している場合には入力映像信号の垂直同期信号をダウンカウントする。そして、アップダウンカウンタのカウント値に基づいてクロック発生回路から出力されるサンプリングクロックの周波数が制御される。

#### 【0012】

【発明の実施の形態】以下、図面を参照して、この発明を、液晶表示装置に適用した場合の実施の形態について説明する。

【0013】図1は、液晶表示装置の全体的な構成を示している。

【0014】コンピュータから送られてきたXGA映像信号R、G、Bは、レベル調整部1R、1G、1Bによって、後段のA/D変換器2R、2G、2Bの入力条件に合うようにレベル調整される。レベル調整が行われた映像信号R、G、Bは、A/D変換器2R、2G、2Bによってデジタルの映像データR、G、Bに変換された後、走査変換回路3R、3G、3Bに送られる。

【0015】走査変換回路3R、3G、3Bでは、液晶パネル7R、7G、7Bに適合するように、映像データR、G、Bが走査変換される。走査変換回路3R、3G、3Bの出力は、D/A変換器4R、4G、4Bによってアナログの映像信号R、G、Bに変換される。

【0016】D/A変換器4R、4G、4Bから出力される映像信号R、G、Bは、色信号ドライバ5およびサンプルホールド回路6R、6G、6Bを介して液晶パネル7R、7G、7Bに送られる。

【0017】走査変換回路3R、3G、3B、色信号ドライバ5、サンプルホールド回路6R、6G、6Bおよび液晶パネル7R、7G、7Bには、タイミングコントローラ20からタイミング信号が送られる。A/D変換

器 2 R、2 G、2 B および D/A 変換器 4 R、4 G、4 B に送られるサンプリングクロックは、サンプリングクロック制御回路 3 0 によって生成される。タイミングコントローラ 2 0 およびサンプリングクロック制御回路 3 0 は、CPU 1 0 によって制御される。

【0018】まず、図 3 に示された 2 種類の XGA 映像信号を例にとって、サンプリングクロック制御回路 3 0 の動作原理について説明する。

【0019】水平同期信号の出力位置から水平映像開始位置 HS までのサンプリングクロックのカウント値（水平映像開始カウント値）と、水平同期信号の出力位置から水平映像終了位置 HE までのサンプリングクロックのカウント値（水平映像終了カウント値）との差を測定する。

【0020】水平映像開始カウント値と水平映像終了カウント値との差が 1024 より多い場合には、サンプリングクロックの周波数が適切な周波数より高いと考えられるので、サンプリングクロックの周波数を低くする方向に制御する。

【0021】反対に、水平映像開始カウント値と水平映像終了カウント値との差が 1024 より少ない場合には、サンプリングクロックの周波数が適切な周波数より低いと考えられるので、サンプリングクロックの周波数を高くする方向に制御する。

【0022】ところで、映像信号をサンプリング（A/D 変換）する前のアナログ信号は波形なまり等があるため、水平映像開始カウント値と水平映像終了カウント値との差が、実際の 1024 ドットより若干多くなる傾向がある。そうすると、図 4 に示すように、サンプリングクロックの周波数が適切であっても、水平同期信号を基準としたサンプリングクロックの位相によっては、水平映像開始カウント値と水平映像終了カウント値との差が、1024 となる場合と 1025 となる場合があると考えられる。

【0023】そこで、この実施の形態では、水平映像開始カウント値と水平映像終了カウント値との差が 1024 または 1025 のときにサンプリングクロックの周波数が適切であるとみなしている。しかしながら、水平映像開始カウント値と水平映像終了カウント値との差が 1025 である場合にサンプリングクロックの位相を変化させると、水平映像開始カウント値と水平映像終了カウント値との差が 1026 となる可能性がある。そこで、サンプリングクロックの位相にかかわらず水平映像開始カウント値と水平映像終了カウント値との差が 1024 または 1025 となるように、微調整を行っている。この微調整は、水平映像開始カウント値と水平映像終了カウント値との差が 1024 または 1025 となった後に、サンプリングクロックの位相を数ナノ単位で少なくとも 1 サンプルクロック分ディレイさせることにより行われる。

【0024】図 2 は、サンプリングクロック制御回路 3 0 の構成を示している。

【0025】このサンプリングクロック制御回路 3 0 は、パソコンから送られてくる全画面白の XGA 映像信号からなるテスト信号に基づいて、XGA 映像信号の水平総ドット数を検出してサンプリングクロックの周波数を制御する。

【0026】サンプリングクロック制御回路 3 0 は、入力映像信号の水平同期信号に基づいてサンプリングクロックを出力する PLL 回路 4 0、PLL 回路 4 0 から出力されるサンプリングクロックの周波数を制御する水平総ドット数検出回路 5 0 および PLL 回路 4 0 から出力されるサンプリングクロックの位相を制御するための位相制御回路 6 0 によって制御される。

【0027】位相制御回路 6 0 は、入力映像信号の水平同期信号が入力するディレイ回路 6 1 およびディレイ回路 6 1 を制御するディレイデータ作成部 6 2 を備えている。

【0028】PLL 回路 4 0 は、よく知られているように、位相検波部 4 1、LPF 4 2、VCO 4 3 および分周回路 4 4 を備えている。位相検波部 4 1 には、ディレイ回路 6 1 を介して送られてきた水平同期信号と、分周回路 4 4 の出力とが入力する。LPF 4 2 には、位相検波部 4 1 の出力が入力する。VCO 4 3 には、LPF 4 2 の出力が入力する。分周回路 4 4 には、VCO 4 3 から出力されるサンプリングクロックと水平総ドット数検出回路 5 0 からの分周値データ（水平総ドット数検出データ）とが入力する。

【0029】水平総ドット数検出回路 5 0 は、水平映像開始終了検出回路 5 1、H カウンタ 5 2、減算器 5 3、コンパレータ 5 4 およびアップダウンカウンタ 5 5 を備えている。

【0030】水平映像開始終了検出回路 5 1 は、A/D 変換器 2 R、2 G、2 B の出力データに基づいて、水平映像開始位置と水平映像終了位置とを検出する。つまり、水平映像開始終了検出回路 5 1 は、入力された映像データ R、G、B が所定のしきい値より大きくなったときに、サンプリングクロック 1 個分のパルス信号からなる水平映像開始信号を出力する。また、水平映像開始終了検出回路 5 1 は、入力された映像データ R、G、B が所定のしきい値より小さくなったときにサンプリングクロック 1 個分のパルス信号からなる水平映像終了信号を出力する。

【0031】しきい値として大きな値を設定すると輝度の低いデータが読み取れなくなり、しきい値として小さな値を設定するとノイズをデータとして読み取る可能性があるので、しきい値としてはノイズを拾わない程度の低い値が設定される。

【0032】水平映像開始終了検出回路 5 1 からの水平映像開始信号および水平映像終了信号は、H カウンタ 5

2に送られる。Hカウンタ52は、ディレイ回路61から出力される水平同期信号の出力タイミングを基準時点として、基準時点から水平映像開始信号が出力されるまでの間のサンプリングクロックの出力数をカウントし、そのカウント値（以下、水平映像開始カウント値という）を減算器53に送る。また、Hカウンタ52は、基準時点から水平映像終了信号が出力されるまでの間のサンプリングクロックの出力数をカウントし、そのカウント値（以下、水平映像終了カウント値という）を減算器53に送る。

【0033】減算器53は、水平映像終了カウント値から水平映像開始カウント値を減算する。この減算結果は、コンパレータ54に送られる。コンパレータ54は、減算器53から送られてきた減算結果が、XGA映像信号の水平有効ドット数1024または1025と一致するか、1024より小さいか、または1025より大きいかを判別する。

【0034】減算結果が1024または1025と一致している場合には、コンパレータ54は第1判別信号（一致・不一致判別信号）をLレベルにし、減算結果が1024または1025と一致していない場合には、コンパレータ54は第1判別信号をHレベルにする。

【0035】減算結果が1025より大きい場合には第2判別信号（大小判別信号）をLレベルにし、減算結果が1024より小さい場合には第2判別信号をHレベルにする。

【0036】第1判別信号はアップダウンカウンタ55のイネーブル信号入力端子に入力する。第2判別信号は、アップダウンカウンタ55のアップダウン入力端子に入力する。また、入力映像信号の垂直同期信号は、アップダウンカウンタ55のクロック入力端子に入力する。アップダウンカウンタ55は、垂直同期信号が入力されたときに、第1判別信号がLレベルである場合（減算結果が1024または1025と一致している場合）には、垂直同期信号をカウントしない。アップダウンカウンタ55は、垂直同期信号が入力されたときに、第1判別信号がHレベルであり、第2判別信号がLレベルである場合（減算結果が1025より大きい場合）には、垂直同期信号をダウンカウントする。アップダウンカウンタ55は、垂直同期信号が入力されたときに、第1判別信号がHレベルであり、第2判別信号がHレベルである場合（減算結果が1024より小さい場合）には、垂直同期信号をアップカウントする。

【0037】アップダウンカウンタ55のカウント値は、分周値データ（水平総ドット数検出データ）として、分周回路44に入力される。アップダウンカウンタ55のカウント値（分周値データ）のデフォルト値は、初期設定時にアップダウンカウンタ55に設定される。このデフォルト値としては、XGA映像信号の一般的な水平総ドット数に近い値が設定される。

【0038】第2判別信号がLレベルである場合（減算器53の減算結果が1025より大きい場合）に垂直同期信号がアップダウンカウンタ55に入力すると、アップダウンカウンタ55のカウント値は1だけ小さくなり、分周回路44の分周値データも1だけ小さくなる。この結果、VCO43から出力されるサンプリングクロックの周波数は小さくなる。

【0039】反対に、第2判別信号がHレベルである場合（減算器53の減算結果が1024より小さい場合）に垂直同期信号がアップダウンカウンタ55に入力すると、アップダウンカウンタ55のカウント値は1だけ大きくなり、分周回路44の分周値データも1だけ大きくなる。この結果、VCO43から出力されるサンプリングクロックの周波数は大きくなる。

【0040】減算器53の減算結果が1024または1025と一致したときには、第1判別信号がLレベルにされるので、アップダウンカウンタ55のカウント値は変化しない。このLレベルの第1判別信号はディレイデータ作成部62にも送られている。ディレイデータ作成部62は、第1判別信号がLレベルになると、垂直同期信号が入力される毎に数ナノ単位で水平同期信号をディレイさせるようにディレイ回路61を制御する。

【0041】そして、ディレイ値のトータルが、1サンプリングクロック分以上の所定値となったときに、ディレイデータ作成部62は、ディレイ制御を停止させるとともに、トータルドット検出終了命令をアップダウンカウンタ55に送る。アップダウンカウンタ55は、トータルドット検出終了命令が入力されると、その時点でイネーブル信号を強制的にLレベルにしてカウント値が変化しないようにする。

【0042】このように、減算器53の減算結果が1024または1025と一致した後に、ディレイ制御を行っているのは、次のような理由による。上述したように、映像信号をサンプリング（A/D変換）する前のアナログ信号は波形なまり等があるため、水平映像開始カウント値と水平映像終了カウント値との差が、実際の1024ドットより若干多くなる傾向がある。

【0043】そうすると、図4に示すように、サンプリングクロックの周波数が正しくても、水平同期信号を基準としたサンプリングクロックの位相によっては、水平映像開始カウント値と水平映像終了カウント値との差が、1024となる場合と1025となる場合があると考えられる。

【0044】そこで、水平映像開始カウント値と水平映像終了カウント値との差が1024または1025のときにサンプリングクロックの周波数が適切であるとみなしている。しかしながら、水平映像開始カウント値と水平映像終了カウント値との差が1025であると判別されたときにおいて、サンプリングクロックの位相を変化させると、水平映像開始カウント値と水平映像終了カウ

ント値との差が1026となる可能性がある。

【0045】そこで、水平映像開始カウント値と水平映像終了カウント値との差が1024または1025であると判別された後において、サンプリングクロックの位相を一定範囲内で変化させ、水平映像開始カウント値と水平映像終了カウント値との差が仮に1026となったとしても、サンプリングクロックの周波数が小さくなるように微調整を行っているのである。

【0046】

【発明の効果】この発明によれば、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切なサンプリングクロックを生成できる。この結果、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切な映像を表示できるようになる。

【図面の簡単な説明】

【図1】液晶表示装置の全体的な構成を示すブロック図である。

【図2】図1のサンプリングクロック制御回路の構成を示すブロック図である。

【図3】水平総ドット数が異なる2種類のXGA映像信号を示すタイミングチャートである。

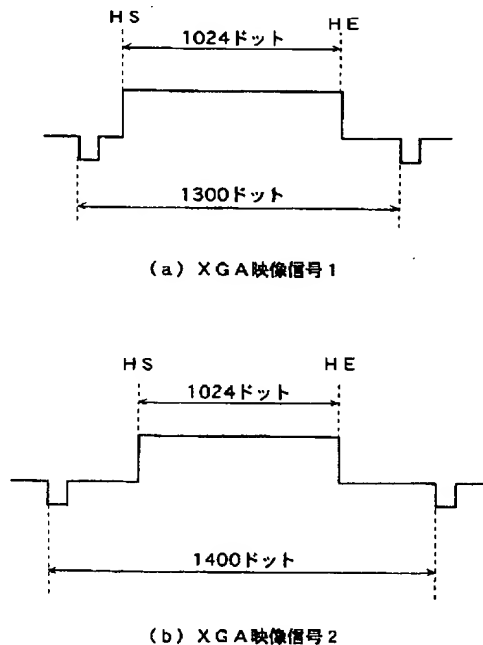
【図4】サンプリングクロックの周波数が適切であって

も、水平同期信号を基準としたサンプリングクロックの位相によっては、水平映像開始カウント値と水平映像終了カウント値との差が、1024となる場合と1025となる場合があることを示すタイミングチャートである。

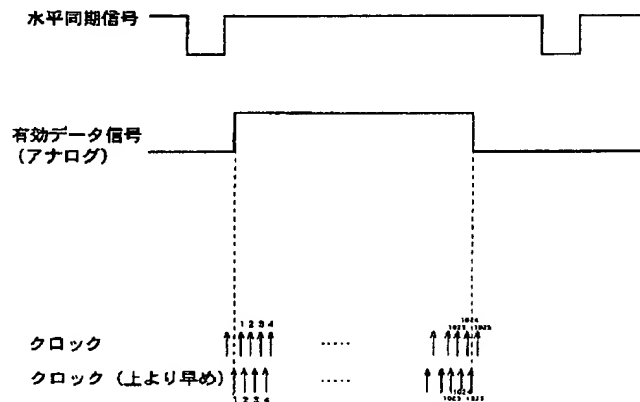
【符号の説明】

- 2R、2G、2B A/D変換器
- 10 CPU
- 20 タイミングコントローラ
- 30 サンプリングクロック制御回路
- 40 PLL回路
- 41 位相検波部
- 42 LPF
- 43 VCO
- 44 分周回路
- 50 水平総ドット数検出回路
- 51 水平映像開始終了検出回路
- 52 Hカウンタ
- 53 減算器
- 54 コンパレータ
- 55 アップダウンカウンタ
- 60 位相制御回路

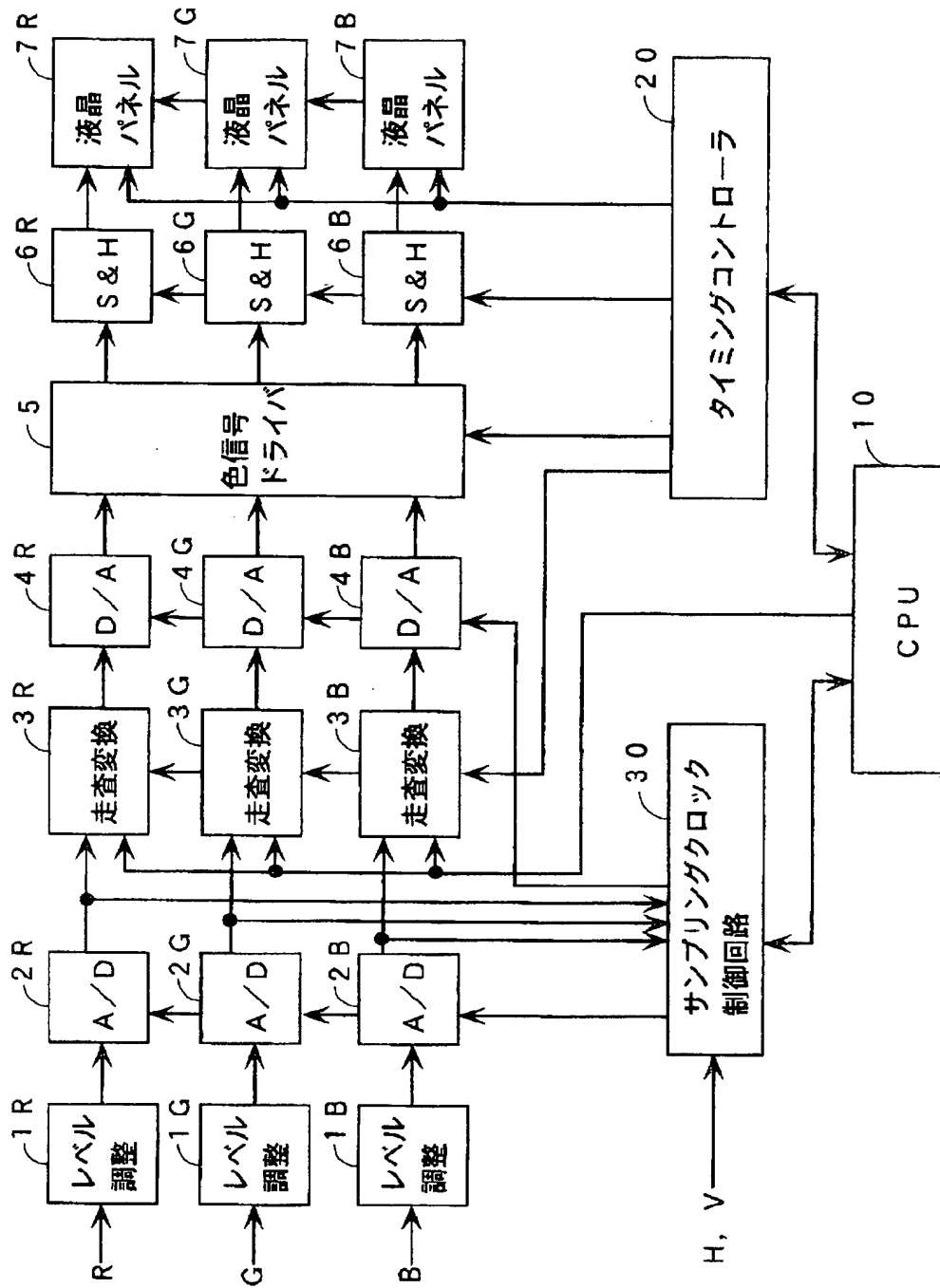
【図3】



【図4】



【図1】







サンプリングクロックを発生させるための周波数可変のクロック発生回路、

入力映像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングするA/D変換器、

A/D変換器から出力される映像データの水平映像開始位置から水平映像終了位置までに出力されたサンプリングクロック数を算出するための算出手段、

算出手段によって算出されたサンプリングクロック数と、予め設定された値とを比較する比較手段、および比較手段の比較結果に基づいて、クロック発生回路から出力されるサンプリングクロックの周波数を制御する制御手段を備えており、

比較手段は、算出手段によって算出されたサンプリングクロック数と、予め設定された入力映像信号の水平有効ドット数および水平有効ドット数より1だけ多い数とを比較し、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数または水平有効ドット数より1だけ多い数のいずれかと一致するか、いずれとも一致しないかに応じた一致・不一致判別信号を出力するとともに、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数より小さいかあるいは水平有効ドット数より1だけ多い数より大きいかに応じた大小判別信号を出力するものである表示装置。

【請求項2】 クロック発生回路は、サンプリングクロックを出力するVCO、VCOから出力されたサンプリングクロックを分周する分周回路、

分周回路の出力と入力映像信号の水平同期信号とが入力し、両入力信号の位相差に応じた検波信号を出力する位相検波手段、および位相検波手段から出力される検波信号を積分してVCOに出力するフィルタ手段を備えており、

分周回路の分周値が制御手段によって制御される請求項1に記載の表示装置。

【請求項3】 算出手段は、

A/D変換器の出力データに基づいて、水平映像開始位置と水平映像終了位置とをそれぞれ検出する水平映像開始終了検出回路、

入力映像信号の水平同期信号の出力タイミングから水平映像開始終了検出回路によって検出された水平映像開始位置までにクロック発生回路から出力された第1のサンプリングクロック数と、入力映像信号の水平同期信号の出力タイミングから水平映像開始終了検出回路によって検出された水平映像終了位置までにクロック発生回路から出力された第2のサンプリングクロック数とを算出するカウンタ、および第2のサンプリングクロック数から第1のサンプリングクロック数を減算する減算器を備えている請求項1および2のいずれかに記載の表示装置。

【請求項4】 制御手段は、入力映像信号の垂直同期信号がクロックとして、比較手段からの一致・不一致判別信号がイネーブル信号として、比較手段からの大小判別信号がアップダウン制御信号としてそれぞれ入力されかつ予め所定のデフォルト値がプリセットされるアップダウンカウンタからなり、

アップダウンカウンタは、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数または水平有効ドット数より1だけ多い数のいずれかと一致していることを一致・不一致判別信号が表している場合にはクロックのカウント動作を禁止し、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数より小さいことを大小判別信号が表している場合には、垂直同期信号が入力される毎にアップカウント動作を行い、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数より1だけ多い数より大きいことを大小判別信号が表している場合には、垂直同期信号が入力される毎にダウンカウント動作を行い、

アップダウンカウンタのカウント値に基づいてクロック発生回路から出力されるサンプリングクロックの周波数を制御する請求項1、2および3のいずれかに記載の表示装置。

【請求項5】 比較手段から出力される一致・不一致判別信号が一致を表すようになったときには、クロック発生回路から出力されるサンプリングクロックの位相を所定範囲内で変化させる手段を備えている請求項1、2、3および4のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置に関し、特に、入力映像信号の水平総ドット数に係わらず映像を適切に表示することができる液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置では、1水平走査期間において、入力映像信号が有するドットデータの1ドットと、液晶パネルの1画素との同期が取られて画像が表示される。また、入力映像信号が1垂直走査期間内に有する任意数のラインデータにおける1本の水平走査線のラインデータが、液晶パネルにおける垂直方向の1ラインに対応して表示される。このラインデータは、ドットデータの集合体である。

【0003】近年においては、多種多様な仕様のコンピュータが製造されている。各種コンピュータから出力されるXGA映像信号であっても、たとえば、図3(a)に示す映像信号と図3(b)に示す映像信号とでは、水平総ドット数(水平期間内の総ドット数)が異なる。ただし、XGA映像信号においては水平有効ドット数(水平期間における映像有効期間内の総ドット数)は共通し

ている。つまり、XGA映像信号の水平有効ドット数は、1024ドットである。

【0004】入力されたXGA映像信号の水平期間における映像有効期間の1024ドットをサンプリングするためのサンプリングクロックは、入力されたXGA映像信号の水平同期信号に基づいて生成される。したがって、入力されたXGA映像信号の水平総ドット数に応じて、サンプリングクロックの生成方法を変える必要がある。このため、サンプリングクロックを生成するためには、入力されたXGA映像信号の水平総ドット数を認識する必要がある。

【0005】従来は、XGA映像信号の各種類毎に水平総ドット数が記憶されたテーブルを用意しておき、コンピュータから入力されるXGA映像信号の特性から、XGA映像信号の種類を判別し、判別された種類に対する水平総ドット数をテーブルの中から選ぶことにより、入力されたXGA映像信号の水平総ドット数を認識している。しかしながら、この方法では、新しい仕様のコンピュータによって生成されたXGA映像信号に対して、対応することができない。

【0006】

【発明が解決しようとする課題】この発明は、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切なサンプリングクロックを生成でき、この結果、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切な映像を表示できるようになる表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明による表示装置は、入力映像信号の水平同期信号に基づいてサンプリングクロックを発生させるための周波数可変のクロック発生回路、入力映像信号をクロック発生回路から発生したサンプリングクロックに基づいてサンプリングするA/D変換器、A/D変換器から出力される映像データの水平映像開始位置から水平映像終了位置までに出力されたサンプリングクロック数を算出するための算出手段、算出手段によって算出されたサンプリングクロック数と、予め設定された値とを比較する比較手段、および比較手段の比較結果に基づいて、クロック発生回路から出力されるサンプリングクロックの周波数を制御する制御手段を備えており、比較手段は、算出手段によって算出されたサンプリングクロック数と、予め設定された入力映像信号の水平有効ドット数および水平有効ドット数より1だけ多い数とを比較し、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数または水平有効ドット数より1だけ多い数のいずれかと一致するか、いずれとも一致しないかに応じた一致・不一致判別信号を出力するとともに、算出手段によって算出されたサンプリングクロック数が入力映像信号の水

平有効ドット数より小さいかあるいは水平有効ドット数より1だけ多い数より大きいかに応じた大小判別信号を出力するものであることを特徴とする。

【0008】クロック発生回路としては、たとえば、サンプリングクロックを出力するVCO、VCOから出力されたサンプリングクロックを分周する分周回路、分周回路の出力と入力映像信号の水平同期信号とが入力し、両入力信号の位相差に応じた検波信号を出力する位相検波手段、および位相検波手段から出力される検波信号を積分してVCOに出力するフィルタ手段を備えたものが用いられる。この場合には、分周回路の分周値が制御手段によって制御される。

【0009】算出手段としては、たとえば、A/D変換器の出力データに基づいて、水平映像開始位置と水平映像終了位置とをそれぞれ検出する水平映像開始終了検出回路、入力映像信号の水平同期信号の出力タイミングから水平映像開始終了検出回路によって検出された水平映像開始位置までにクロック発生回路から出力された第1のサンプリングクロック数と、入力映像信号の水平同期信号の出力タイミングから水平映像開始終了検出回路によって検出された水平映像終了位置までにクロック発生回路から出力された第2のサンプリングクロック数とを算出するカウンタ、および第2のサンプリングクロック数から第1のサンプリングクロック数を減算する減算器を備えているものが用いられる。

【0010】制御手段としては、たとえば、入力映像信号の垂直同期信号がクロックとして、比較手段からの一致・不一致判別信号がイネーブル信号として、比較手段からの大小判別信号がアップダウン制御信号としてそれぞれ入力されかつ予め所定のデフォルト値がプリセットされるアップダウンカウンタが用いられる。このアップダウンカウンタは、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数または水平有効ドット数より1だけ多い数のいずれかと一致していることを一致・不一致判別信号が表している場合にはクロックのカウント動作を禁止し、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数より小さいことを大小判別信号が表している場合には、垂直同期信号が入力される毎にアップカウント動作を行い、算出手段によって算出されたサンプリングクロック数が入力映像信号の水平有効ドット数より1だけ多い数より大きいことを大小判別信号が表している場合には、垂直同期信号が入力される毎にダウンカウント動作を行う。そして、アップダウンカウンタのカウント値に基づいてクロック発生回路から出力されるサンプリングクロックの周波数が制御される。

【0011】比較手段から出力される一致・不一致判別信号が一致を表すようになったときには、クロック発生回路から出力されるサンプリングクロックの位相を所定範囲内で変化させる手段を設けることが好ましい。

## 【0012】

【発明の実施の形態】以下、図面を参照して、この発明を、液晶表示装置に適用した場合の実施の形態について説明する。

【0013】図1は、液晶表示装置の全体的な構成を示している。

【0014】コンピュータから送られてきたXGA映像信号R、G、Bは、レベル調整部1R、1G、1Bによって、後段のA/D変換器2R、2G、2Bの入力条件に合うようにレベル調整される。レベル調整が行われた映像信号R、G、Bは、A/D変換器2R、2G、2Bによってデジタルの映像データR、G、Bに変換された後、走査変換回路3R、3G、3Bに送られる。

【0015】走査変換回路3R、3G、3Bでは、液晶パネル7R、7G、7Bに適合するように、映像データR、G、Bが走査変換される。走査変換回路3R、3G、3Bの出力は、D/A変換器4R、4G、4Bによってアナログの映像信号R、G、Bに変換される。

【0016】D/A変換器4R、4G、4Bから出力される映像信号R、G、Bは、色信号ドライバ5およびサンプルホールド回路6R、6G、6Bを介して液晶パネル7R、7G、7Bに送られる。

【0017】走査変換回路3R、3G、3B、色信号ドライバ5、サンプルホールド回路6R、6G、6Bおよび液晶パネル7R、7G、7Bには、タイミングコントローラ20からタイミング信号が送られる。A/D変換器2R、2G、2BおよびD/A変換器4R、4G、4Bに送られるサンプリングクロックは、サンプリングクロック制御回路30によって生成される。タイミングコントローラ20およびサンプリングクロック制御回路30は、CPU10によって制御される。

【0018】まず、図3に示された2種類のXGA映像信号を例にとり、サンプリングクロック制御回路30の動作原理について説明する。

【0019】水平同期信号の出力位置から水平映像開始位置HSまでのサンプリングクロックのカウント値（水平映像開始カウント値）と、水平同期信号の出力位置から水平映像終了位置HEまでのサンプリングクロックのカウント値（水平映像終了カウント値）との差を測定する。

【0020】水平映像開始カウント値と水平映像終了カウント値との差が1024より多い場合には、サンプリングクロックの周波数が適切な周波数より高いと考えられるので、サンプリングクロックの周波数を低くする方向に制御する。

【0021】反対に、水平映像開始カウント値と水平映像終了カウント値との差が1024より少ない場合には、サンプリングクロックの周波数が適切な周波数より低いと考えられるので、サンプリングクロックの周波数を高くする方向に制御する。

【0022】ところで、映像信号をサンプリング（A/D変換）する前のアナログ信号は波形なまり等があるため、水平映像開始カウント値と水平映像終了カウント値との差が、実際の1024ドットより若干多くなる傾向がある。そうすると、図4に示すように、サンプリングクロックの周波数が適切であっても、水平同期信号を基準としたサンプリングクロックの位相によっては、水平映像開始カウント値と水平映像終了カウント値との差が、1024となる場合と1025となる場合があると考えられる。

【0023】そこで、この実施の形態では、水平映像開始カウント値と水平映像終了カウント値との差が1024または1025のときにサンプリングクロックの周波数が適切であるとみなしている。しかしながら、水平映像開始カウント値と水平映像終了カウント値との差が1025である場合にサンプリングクロックの位相を変化させると、水平映像開始カウント値と水平映像終了カウント値との差が1026となる可能性がある。そこで、サンプリングクロックの位相にかかわらず水平映像開始カウント値と水平映像終了カウント値との差が1024または1025となるように、微調整を行っている。この微調整は、水平映像開始カウント値と水平映像終了カウント値との差が1024または1025となった後に、サンプリングクロックの位相を数ナノ単位で少なくとも1サンプリングクロック分ディレイさせることにより行われる。

【0024】図2は、サンプリングクロック制御回路30の構成を示している。

【0025】このサンプリングクロック制御回路30は、パソコンから送られてくる全画面白のXGA映像信号からなるテスト信号に基づいて、XGA映像信号の水平総ドット数を検出してサンプリングクロックの周波数を制御する。

【0026】サンプリングクロック制御回路30は、入力映像信号の水平同期信号に基づいてサンプリングクロックを出力するPLL回路40、PLL回路40から出力されるサンプリングクロックの周波数を制御する水平総ドット数検出回路50およびPLL回路40から出力されるサンプリングクロックの位相を制御するための位相制御回路60によって構成されている。

【0027】位相制御回路60は、入力映像信号の水平同期信号が入力するディレイ回路61およびディレイ回路61を制御するディレイデータ作成部62を備えている。

【0028】PLL回路40は、よく知られているように、位相検波部41、LPF42、VCO43および分周回路44を備えている。位相検波部41には、ディレイ回路61を介して送られてきた水平同期信号と、分周回路44の出力とが入力する。LPF42には、位相検波部41の出力が入力する。VCO43には、LPF4

2の出力が入力する。分周回路44には、VCO43から出力されるサンプリングクロックと水平総ドット数検出回路50からの分周値データ（水平総ドット数検出データ）とが入力する。

【0029】水平総ドット数検出回路50は、水平映像開始終了検出回路51、Hカウンタ52、減算器53、コンパレータ54およびアップダウンカウンタ55を備えている。

【0030】水平映像開始終了検出回路51は、A/D変換器2R、2G、2Bの出力データに基づいて、水平映像開始位置と水平映像終了位置とを検出する。つまり、水平映像開始終了検出回路51は、入力された映像データR、G、Bが所定のしきい値より大きくなったときに、サンプリングクロック1個分のパルス信号からなる水平映像開始信号を出力する。また、水平映像開始終了検出回路51は、入力された映像データR、G、Bが所定のしきい値より小さくなったときにサンプリングクロック1個分のパルス信号からなる水平映像終了信号を出力する。

【0031】しきい値として大きな値を設定すると輝度の低いデータが読み取れなくなり、しきい値として小さな値を設定するとノイズをデータとして読み取る可能性があるため、しきい値としてはノイズを拾わない程度の低い値が設定される。

【0032】水平映像開始終了検出回路51からの水平映像開始信号および水平映像終了信号は、Hカウンタ52に送られる。Hカウンタ52は、ディレイ回路61から出力される水平同期信号の出力タイミングを基準時点として、基準時点から水平映像開始信号が出力されるまでの間のサンプリングクロックの出力数をカウントし、そのカウント値（以下、水平映像開始カウント値という）を減算器53に送る。また、Hカウンタ52は、基準時点から水平映像終了信号が出力されるまでの間のサンプリングクロックの出力数をカウントし、そのカウント値（以下、水平映像終了カウント値という）を減算器53に送る。

【0033】減算器53は、水平映像終了カウント値から水平映像開始カウント値を減算する。この減算結果は、コンパレータ54に送られる。コンパレータ54は、減算器53から送られてきた減算結果が、XGA映像信号の水平有効ドット数1024または1025と一致するか、1024より小さいか、または1025より大きいかを判別する。

【0034】減算結果が1024または1025と一致している場合には、コンパレータ54は第1判別信号（一致・不一致判別信号）をLレベルにし、減算結果が1024または1025と一致していない場合には、コンパレータ54は第1判別信号をHレベルにする。

【0035】減算結果が1025より大きい場合には第2判別信号（大小判別信号）をLレベルにし、減算結果

が1024より小さい場合には第2判別信号をHレベルにする。

【0036】第1判別信号はアップダウンカウンタ55のイネーブル信号入力端子に入力する。第2判別信号は、アップダウンカウンタ55のアップダウン入力端子に入力する。また、入力映像信号の垂直同期信号は、アップダウンカウンタ55のクロック入力端子に入力する。アップダウンカウンタ55は、第1判別信号がLレベルである場合（減算結果が1024または1025と一致している場合）には、クロック入力端子に垂直同期信号が入力されてもカウント動作を行わない。アップダウンカウンタ55は、第1判別信号がHレベルであり、第2判別信号がLレベルである場合（減算結果が1025より大きい場合）には、クロック入力端子に垂直同期信号が入力される毎にダウンカウント動作を行う。アップダウンカウンタ55は、第1判別信号がHレベルであり、第2判別信号がHレベルである場合（減算結果が1024より小さい場合）には、クロック入力端子に垂直同期信号が入力される毎にアップカウント動作を行う。

【0037】アップダウンカウンタ55のカウント値は、分周値データ（水平総ドット数検出データ）として、分周回路44に入力される。アップダウンカウンタ55のカウント値（分周値データ）のデフォルト値は、初期設定時にアップダウンカウンタ55に設定される。このデフォルト値としては、XGA映像信号の一般的な水平総ドット数に近い値が設定される。

【0038】第2判別信号がLレベルである場合（減算器53の減算結果が1025より大きい場合）に垂直同期信号がアップダウンカウンタ55に入力すると、アップダウンカウンタ55のカウント値は1だけ小さくなり、分周回路44の分周値データも1だけ小さくなる。この結果、VCO43から出力されるサンプリングクロックの周波数は小さくなる。

【0039】反対に、第2判別信号がHレベルである場合（減算器53の減算結果が1024より小さい場合）に垂直同期信号がアップダウンカウンタ55に入力すると、アップダウンカウンタ55のカウント値は1だけ大きくなり、分周回路44の分周値データも1だけ大きくなる。この結果、VCO43から出力されるサンプリングクロックの周波数は大きくなる。

【0040】減算器53の減算結果が1024または1025と一致したときには、第1判別信号がLレベルにされるので、アップダウンカウンタ55のカウント値は変化しない。第1判別信号はディレイデータ作成部62にも送られている。ディレイデータ作成部62は、第1判別信号がLレベルになると、後述するようにな微調整を行うために、垂直同期信号が入力される毎に数ナノ単位で水平同期信号をディレイさせるようにディレイ回路61を制御する。

【0041】そして、ディレイ値のトータルが、1サン

プリングクロック分以上の所定値となったときに、ディレイデータ作成部 6 2 は、ディレイ制御を停止させるとともに、トータルドット検出終了命令をアップダウンカウンタ 5 5 に送る。アップダウンカウンタ 5 5 は、トータルドット検出終了命令が入力されると、その時点でイネーブル信号を強制的に L レベルにしてカウンタ値が変化しないようにする。

【0042】このように、減算器 5 3 の減算結果が 1 0 2 4 または 1 0 2 5 と一致した後に、ディレイ制御を行っているのは、次のような理由による。上述したように、映像信号をサンプリング (A/D 変換) する前のアナログ信号は波形なまり等があるため、水平映像開始カウント値と水平映像終了カウント値との差が、実際の 1 0 2 4 ドットより若干多くなる傾向がある。

【0043】そうすると、図 4 に示すように、サンプリングクロックの周波数が正しくても、水平同期信号を基準としたサンプリングクロックの位相によっては、水平映像開始カウント値と水平映像終了カウント値との差が、1 0 2 4 となる場合と 1 0 2 5 となる場合があると考えられる。

【0044】そこで、水平映像開始カウント値と水平映像終了カウント値との差が 1 0 2 4 または 1 0 2 5 のときにサンプリングクロックの周波数が適切であるとみなしている。しかしながら、水平映像開始カウント値と水平映像終了カウント値との差が 1 0 2 5 であると判別されたときにおいて、サンプリングクロックの位相を変化させると、水平映像開始カウント値と水平映像終了カウント値との差が 1 0 2 6 となる可能性がある。

【0045】そこで、水平映像開始カウント値と水平映像終了カウント値との差が 1 0 2 4 または 1 0 2 5 であると判別された後において、サンプリングクロックの位相を一定範囲内で変化させ、水平映像開始カウント値と水平映像終了カウント値との差が仮に 1 0 2 6 となったとしても、サンプリングクロックの周波数が小さくなるように微調整を行っているのである。

【0046】

【発明の効果】この発明によれば、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切なサンプリングクロックを生成できる。この結果、水平有効ドット数が既知であり水平総ドット数が異なる複数種類の映像信号に対して適切な映像を表示できるようになる。

【図面の簡単な説明】

【図 1】液晶表示装置の全体的な構成を示すブロック図である。

【図 2】図 1 のサンプリングクロック制御回路の構成を示すブロック図である。

【図 3】水平総ドット数が異なる 2 種類の XGA 映像信号を示すタイミングチャートである。

【図 4】サンプリングクロックの周波数が適切であっても、水平同期信号を基準としたサンプリングクロックの位相によっては、水平映像開始カウント値と水平映像終了カウント値との差が、1 0 2 4 となる場合と 1 0 2 5 となる場合があることを示すタイミングチャートである。

【符号の説明】

- 2 R、2 G、2 B A/D 変換器
- 1 0 CPU
- 2 0 タイミングコントローラ
- 3 0 サンプリングクロック制御回路
- 4 0 PLL 回路
- 4 1 位相検波部
- 4 2 LPF
- 4 3 VCO
- 4 4 分周回路
- 5 0 水平総ドット数検出回路
- 5 1 水平映像開始終了検出回路
- 5 2 Hカウンタ
- 5 3 減算器
- 5 4 コンパレータ
- 5 5 アップダウンカウンタ
- 6 0 位相制御回路